

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Hot carrier test on MOS transistors

Dispositifs à semiconducteurs – Essai de porteur chaud sur les transistors MOS



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch
Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch
Tél.: +41 22 919 02 11
Fax: +41 22 919 03 00



IEC 62416

Edition 1.0 2010-04

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Semiconductor devices – Hot carrier test on MOS transistors

Dispositifs à semiconducteurs – Essai de porteur chaud sur les transistors MOS

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

K

ICS 31.080

ISBN 978-2-88910-695-0

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Abbreviations and letter symbols.....	5
3 Test structures.....	6
4 Stress time.....	6
5 Stress conditions.....	6
6 Sample size.....	7
7 Temperature.....	7
8 Failure criteria.....	7
9 Lifetime estimation method.....	7
9.1 DC acceleration models.....	7
9.1.1 General.....	7
9.1.2 Method 1: extrapolation vs. drain current.....	8
9.1.3 Method 2: extrapolation vs. drain bias and channel length.....	8
9.2 AC estimation model.....	9
10 Lifetime requirements.....	9
11 Reporting.....	9
Bibliography.....	10

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
HOT CARRIER TEST ON MOS TRANSISTORS**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62416 has been prepared by IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/2041/FDIS	47/2048/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

SEMICONDUCTOR DEVICES – HOT CARRIER TEST ON MOS TRANSISTORS

1 Scope

This standard describes the wafer level hot carrier test on NMOS and PMOS transistors. The test is intended to determine whether the single transistors in a certain (C)MOS process meet the required hot carrier lifetime.

2 Abbreviations and letter symbols

In this document the following abbreviations and letter symbols apply:

MOS	Metal Oxide Semiconductor
NMOS	n-channel MOS transistor
PMOS	p-channel MOS transistor
(C)MOS	Complementary MOS
L [μm]	length of polysilicon gate of MOS transistor
W [μm]	width of polysilicon gate of MOS transistor
L_{nominal} [μm]	minimum L allowed by the design rules of the process
W_{nominal} [μm]	minimum W allowed by the design rules of the process
V_{gs} [V]	gate-source voltage of MOS transistor
V_{ds} [V]	drain-source voltage of MOS transistor
V_{bs} [V]	backgate-source voltage of MOS transistor
I_{ds} [μA]:	drain-source current of MOS transistor
I_{b} [μA]	substrate current of MOS transistor
I_{g} [nA]	gate current of MOS transistor
$V_{\text{gs, stress}}$ [V]	V_{gs} biasing condition during hot carrier stress
$V_{\text{ds, stress}}$ [V]	V_{ds} biasing condition during hot carrier stress
$V_{\text{ds, use_max}}$ [V]	maximum V_{ds} allowed by the design rules of the process as stated in the design manual
$V_{\text{ds, breakdown}}$ [V]	V_{ds} at which avalanche or punch-through currents become dominant; defined as V_{ds} at which $I_{\text{ds}} = 1,5 \times (I_{\text{ds}} \text{ at } V_{\text{ds, use_max}})$ while $V_{\text{gs}} = V_{\text{ds, use_max}}$
V_{t} [V]	threshold voltage of MOS transistor defined as V_{gs} voltage at which $I_{\text{ds}} = 0,01 \times W / L$ [μA]. Other (commonly agreed) definitions of V_{t} are also allowed as long as this is clearly reported.
g_{m} [$\mu\text{A/V}$]	transconductance of MOS transistor
$g_{\text{m, max}}$ [$\mu\text{A/V}$]	maximum transconductance of MOS transistor
$I_{\text{ds, sat}}$ [μA]	saturated drain-source current at $V_{\text{gs}} = V_{\text{ds}} = V_{\text{ds, use_max}}$; $I_{\text{ds, sat_forward}}$ measured with source and drain having same polarity as during stress, $I_{\text{ds, sat_reverse}}$ measured with source and drain polarity interchanged with respect to stress.
L (MOST)	length of the square MOS transistor ($L = W$)
$g_{\text{m, max}}$ (MOST)	$g_{\text{m, max}}$ of the square MOS transistor ($L = W$)

τ [s]	lifetime of the MOS transistor
L_{eff} [μm]	effective electrical channel length of MOS transistor; the L_{eff} for a given L is determined using the $g_{\text{m,max}}$ of a large 'square ()' MOS transistor with $W = L \gg L_{\text{nominal}}$.

3 Test structures

For the evaluation of the hot carrier degradation vulnerability of a technology, nominal transistors ($L = L_{\text{nominal}}$) are recommended. The following gate lengths are recommended when lifetime extrapolation versus L is needed (see 9.1): $L = 1,0 \times L_{\text{nominal}}$, $L = 1,5 \times L_{\text{nominal}}$, $L = 2,0 \times L_{\text{nominal}}$, $L = 5,0 \times L_{\text{nominal}}$, $L = W$.

Gates and sources of the transistors may be combined to reduce the number of bond pads required for these test structures.

Typical values for W are 10 μm for $L_{\text{nominal}} < 1 \mu\text{m}$, and 20 μm for $L_{\text{nominal}} \geq 1 \mu\text{m}$. A transistor with small W (e.g. $W = L_{\text{nominal}}$) can be used to evaluate the occurrence of potential 'narrow width' effects.

The nominal transistor shall be placed with various orientations on the wafer (e.g. one with the orientation of its gate parallel to the flat of the wafer and one with its gate orientation perpendicular to the flat) whenever asymmetry effects due to ion implantation are expected.

4 Stress time

Typically 40 000 s (one night), in some 'low voltage' cases 200 000 s (1 weekend); readpoints logarithmically spaced (at least 3 per decade). Stress times shall be chosen such that the degradation exceeds at least 20 % of the maximum value for the selected failure criterion (see Clause 8).

5 Stress conditions

At least 3 different $V_{\text{ds, stress}}$ conditions where $V_{\text{ds, stress_max}} < V_{\text{ds, breakdown}}$, $V_{\text{bs}} = 0 \text{ V}$.

NMOS transistors are stressed at maximum substrate current conditions. Usually, the maximum substrate current occurs at approximately

$$V_{\text{gs, stress}} = V_{\text{ds, stress}} / 2 \text{ V} - 0,5 \text{ V} \quad (1)$$

If this is not the case for a certain technology, one shall determine the appropriate $V_{\text{gs, stress}}$ by substrate current measurements.

For deep-submicron transistors worst-case degradation may not occur at maximum substrate current, and it is therefore recommended that the worst-case stress conditions are checked.

PMOS transistors are stressed at maximum gate current conditions. Usually, maximum gate current occurs at approximately

$$V_{\text{gs, stress}} = V_{\text{t}} - 1,0 \text{ V} \quad (2)$$

(e.g. $V_{\text{t}} = -0,8 \text{ V}$ then $V_{\text{gs}} = -1,8 \text{ V}$)

If this is not the case for a certain technology, one shall determine the appropriate $V_{\text{gs, stress}}$ by gate current measurements.

For accurate determination of the life time it is recommended to reach the failure criterion during the stress. This can be achieved by choosing a high V_{ds} value. A reasonable starting value is $V_{ds} = 0,9 \times V_{ds,breakdown}$. If this is not feasible it is recommended to take at least two time decades of valid data and extrapolate to the failure criterion.

6 Sample size

The sample size is not prescribed. Too low sample sizes will result in short life times due to the 60 % confidence requirement for extrapolation.

It is recommended to use at least 3 V_{ds} bias conditions and 4 different W/L ratios.

The resulting number of datapoints is for example $3 (V_{ds}) \times 4$ (transistors) \times 2 batches = 24 datapoints.

7 Temperature

Room temperature, kept constant within ± 3 °C.

8 Failure criteria

Failure criteria have to be selected for one or more of the following parameters: $\Delta g_{m,max}$, ΔV_t , $\Delta I_{ds,sat_forward}$, $\Delta I_{ds,sat_reverse}$, $\Delta I_{ds,lin}$. Recommended criteria are given below:

$$|\Delta g_{m,max}/g_{m,max}| = 10\% \text{ at } V_{ds} = 0,1 \text{ V or}$$

$$|\Delta V_t| = 0,02 \times V_{dd,max} \text{ with a minimum value of 100 mV at } V_{ds} = 0,1 \text{ V or}$$

$$|\Delta I_{ds,sat}/I_{ds,sat}|_{forward} = 10 \% \text{ or}$$

$$|\Delta I_{ds,sat}/I_{ds,sat}|_{reverse} = 10 \% \text{ or}$$

$$|\Delta I_{ds,lin}/I_{ds,lin}|_{forward} = 10 \%$$

NMOS transistors typically show a decrease in g_m and $I_{ds,sat}$ and an increase in $|V_t|$.

PMOS transistors typically show an increase in g_m and $I_{ds,sat}$ and a decrease in $|V_t|$.

Lifetimes can be determined by interpolation and extrapolation of data. However it is recommended to disregard data where the shift in g_m , $I_{ds,sat}$ or V_t did not exceed 20 % of the failure criteria or when the data must be extrapolated by more than one decade in time in order to reach the failure criteria.

9 Lifetime estimation method

9.1 DC acceleration models

9.1.1 General

Two different methods for lifetime estimation are given. Method 1 uses the dependence of lifetime on the drain current, and requires only the nominal transistor. Method 2 uses the dependency of lifetime on gate length, and requires test structures with different L . Method 2 is used when the dependency of lifetime on channel length is needed.

9.1.2 Method 1: extrapolation vs. drain current

For NMOS transistors, extrapolation is done according to

$$\tau = A \times (I_b)^{-m} \quad (3)$$

where

A is a process-dependent constant, and

m is the substrate current acceleration exponent.

For $L < 0,5 \mu\text{m}$, a better fit may be obtained with [1]¹:

$$\tau^* I_{ds} = A \times (I_b / I_{ds})^{-m} \quad (4)$$

For PMOS transistors, extrapolation is done according to [2]:

$$\tau = A \times (I_g)^{-m} \quad (5)$$

The parameters A and m are found by plotting $\log(\tau)$ versus $\log(I_b)$ or $\log(I_g)$ (see equation 4 and equation 6 respectively), or by plotting $\log(\tau^* I_d)$ versus $\log(I_b / I_d)$ (see equation 5). A straight line is found with slope m and intercept $\log(A)$.

9.1.3 Method 2: extrapolation versus drain bias and channel length

For NMOS transistors, the Takeda model [3] can be used for the channel length dependence.

$$\tau = A \times \exp(B / V_{ds, stress}) \times (L_{eff})^C \quad (6)$$

where

A is a process-dependent constant;

B is the process-dependent voltage acceleration constant;

C is the process-dependent channel length acceleration constant.

L_{eff} is given by

$$L_{eff} = L(\text{MOST}) \times g_{m, max}(\text{MOST}) / g_{m, max}(L) \quad (7)$$

For PMOS transistors, the Woltjer model [4] can be used for the channel length dependence.

$$\tau = A \times \exp(B / V_{ds, stress}) \times \exp(C \times \sqrt{L_{eff}}) \quad (8)$$

The parameters A , B and C are found from a simultaneous fit of the lifetime τ as a function of $V_{ds, stress}$ and L_{eff} .

For deep submicron CMOS technologies other extrapolation models are also used for the channel length dependence of lifetime for both NMOS en PMOS transistors, e.g. $\tau = A \times \exp(C \times L_{eff})$ or $\tau = A \times \exp(C / L_{eff})$

NOTE In these models, only lifetime data based on one failure criterion should be used at a time.

¹ The figures in square brackets refer to the Bibliography.

9.2 AC estimation model

For AC applications, lifetime is calculated according to

$$\tau_{AC} = \tau_{DC} \times t_{cycle} / (t_{rise} + t_{fall}) \quad (9)$$

where

τ_{AC} is the lifetime of the AC bias condition,

τ_{DC} the lifetime of the DC bias condition,

t_{cycle} is the cycle time of the AC stress,

t_{rise} is the rise time of the AC stress, and

t_{fall} is the fall time of the AC stress.

AC tests are recommended.

10 Lifetime requirements

In analog circuits, the required lifetime may be achieved by increasing the minimum L_{eff} allowed in analog designs.

Hot carrier lifetime of digital circuitry exceeds the static transistor lifetime by far due to duty cycle effects and limited sensitivity of digital circuitry to transistor degradation [5].

11 Reporting

The following items shall be reported as a minimum, when presenting hot carrier data:

- number of transistors used as well as their dimensions;
- stress voltages used;
- failure criterion which is reached first;
- values of the constants A , B and C as well as their sigma's;
- a plot of the lifetime as a function of $1/V_{ds}$ for all transistors used.

Bibliography

- [1] *“Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement”*, C. Hu, et al, IEEE Transactions on Electron Devices, Vol. ED-32, No. 2, pp. 375-385, 1985
 - [2] *“Hot-carrier current modeling and device degradation in surface channel p-MOSFET’s”*, T-C. Ong, et al., IEEE Transactions on Electron Devices, p. 1658, 1990.
 - [3] *“Hot carrier effects in scaled MOS devices”*, E. Takeda, Microelectronics and Reliability, Vol.33, pp. 1687-1711, (1993)
 - [4] *“Time dependence of p-MOSFET hot carrier degradation measured and interpreted consistently over ten orders of magnitude”*, R. Woltjer, A. Hamada, E. Takeda, IEEE Transactions on Electron Devices, Vol.40, pp. 392-401, (1993)
 - [5] *“Relation between the hot carrier lifetime of transistors and CMOS SRAM products”*, J.A. van der Pol, J.J. Koomen, 28th Proceedings IRPS, pp. 178-185, (1990)
-

LICENSED TO MECON LIMITED - RANCHI/BANGALORE.
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

SOMMAIRE

AVANT-PROPOS.....	13
1 Domaine d'application	15
2 Abréviations et symboles littéraux	15
3 Structures d'essai.....	16
4 Durée de contrainte.....	16
5 Conditions de contrainte.....	16
6 Taille d'échantillon.....	17
7 Température.....	17
8 Critères de défaillance.....	17
9 Méthode d'estimation de la durée de vie.....	18
9.1 Modèles d'accélération en courant continu	18
9.1.1 Généralité	18
9.1.2 Méthode 1: extrapolation par rapport au courant de drain	18
9.1.3 Méthode 2: extrapolation par rapport à la polarisation du drain et à la longueur du canal	18
9.2 Modèle d'estimation en courant alternatif	19
10 Exigences de durée de vie	19
11 Comptes rendus	19
Bibliographie.....	20

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – ESSAI DE PORTEUR CHAUD SUR LES TRANSISTORS MOS

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62416 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/2041/FDIS	47/2048/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

DISPOSITIFS À SEMICONDUCTEURS – ESSAI DE PORTEUR CHAUD SUR LES TRANSISTORS MOS

1 Domaine d'application

La présente norme décrit l'essai de porteur chaud au niveau de la plaquette sur les transistors NMOS et PMOS. Cet essai est destiné à déterminer si les transistors individuels sont conformes à la durée de vie exigée du porteur chaud dans un processus (C)MOS donné.

2 Abréviations et symboles littéraux

Dans le présent document, les abréviations et symboles littéraux suivants s'appliquent:

MOS	Semiconducteur à oxyde métallique
NMOS	Silicium à oxyde métallique de type N
PMOS	Silicium à oxyde métallique de type P
(C)MOS	Silicium à oxyde complémentaire MOS
L [μm]	longueur de la grille en polysilicium du transistor MOS
W [μm]	largeur de la grille en polysilicium du transistor MOS
L_{nominal} [μm]	L minimale autorisée par les règles de conception du processus
W_{nominal} [μm]	W minimale autorisée par les règles de conception du processus
V_{gs} [V]	tension grille-source du transistor MOS
V_{ds} [V]	tension drain-source du transistor MOS
V_{bs} [V]	tension substrat-source du transistor MOS
I_{ds} [μA]	courant drain-source du transistor MOS
I_{b} [μA]	courant du substrat du transistor MOS
I_{g} [nA]	courant de grille du transistor MOS
$V_{\text{gs,contrainte}}$ [V]	condition de polarisation V_{gs} au cours de la contrainte du porteur chaud
$V_{\text{ds,contrainte}}$ [V]	condition de polarisation V_{ds} au cours de la contrainte du porteur chaud
$V_{\text{ds,uti_max}}$ [V]	V_{ds} maximale autorisée par les règles de conception du processus comme indiqué dans le manuel de conception
$V_{\text{ds,claquage}}$ [V]	V_{ds} à laquelle les courants d'avalanche ou de pénétration deviennent dominants; définie comme valeur V_{ds} à laquelle $I_{\text{ds}} = 1,5 \times (I_{\text{ds}} \text{ à } V_{\text{ds,uti_max}})$ tandis que $V_{\text{gs}} = V_{\text{ds,uti_max}}$
V_{t} [V]	tension de seuil du transistor MOS définie comme tension V_{gs} à laquelle $I_{\text{ds}} = 0,01 \times W / L$ [μA]. D'autres définitions (généralement acceptées) de V_{t} sont aussi autorisées tant que les informations sont clairement consignées.
g_{m} [$\mu\text{A/V}$]	transconductance du transistor MOS
$g_{\text{m,max}}$ [$\mu\text{A/V}$]	transconductance maximale du transistor MOS
$I_{\text{ds,sat}}$ [μA]	courant drain-source saturé à $V_{\text{gs}} = V_{\text{ds}} = V_{\text{ds,uti_max}}$; $I_{\text{ds,sat_direct}}$ mesuré avec une source et un drain ayant la même polarité que pendant la contrainte, $I_{\text{ds,sat_inverse}}$ mesuré avec la polarité de source et de drain inversée par rapport à la contrainte
L (MOST)	longueur du carré du transistor MOS ($L = W$)

$g_{m,max}$ (MOST)	$g_{m,max}$ du carré du transistor MOS ($L = W$)
$\tau[s]$	durée de vie du transistor MOS
$L_{eff} [\mu m]$	longueur du canal électrique efficace du transistor MOS; L_{eff} pour une valeur L donnée est déterminé en utilisant la valeur $g_{m,max}$ d'un transistor MOS à grand 'carré ()' avec $W = L \gg L_{nominal}$.

3 Structures d'essai

Pour l'évaluation de la vulnérabilité à la dégradation du porteur chaud d'une technologie, il est recommandé d'utiliser des transistors nominaux ($L = L_{nominal}$). Les longueurs de grille suivantes sont recommandées lorsqu'il est nécessaire d'extrapoler la durée de vie par rapport à L (voir 9.1): $L = 1,0 \times L_{nominal}$, $L = 1,5 \times L_{nominal}$, $L = 2,0 \times L_{nominal}$, $L = 5,0 \times L_{nominal}$, $L = W$.

Les grilles et les sources des transistors peuvent être combinées pour réduire le nombre de plots de connexion exigé pour ces structures d'essai.

Les valeurs types pour W sont $10\mu m$ pour $L_{nominal} < 1\mu m$ et $20\mu m$ pour $L_{nominal} \geq 1\mu m$. Un transistor avec une valeur W faible (par exemple $W = L_{nominal}$) peut être utilisé pour évaluer l'occurrence des effets de 'largeur étroite' potentiels.

Il doit être placé le transistor nominal sur la plaquette selon différentes orientations (par exemple une fois avec sa grille placée parallèlement à la partie plate de la plaquette et une fois placée perpendiculairement) dans lesquelles on peut s'attendre à des effets d'asymétrie dus à l'implantation des ions.

4 Durée de contrainte

Normalement 40 000 s (une nuit), dans certains cas à 'basse tension' 200 000 s (1 week-end); points de lecture à espacement logarithmique (au moins 3 par décade). Il doit être choisi les durées de contrainte de manière à ce que la dégradation dépasse au moins 20 % de la valeur maximale pour le critère de défaillance sélectionné (voir l'Article 8).

5 Conditions de contrainte

Au moins 3 conditions différentes de $V_{ds,contrainte}$ dans lesquelles $V_{ds,contrainte,max} < V_{ds,claquage}$, $V_{bs} = 0 V$.

Les transistors NMOS subissent des contraintes aux conditions maximales du courant du substrat. Généralement, le courant maximal du substrat apparaît à environ:

$$V_{gs,contrainte} = V_{ds,contrainte} / 2 V - 0,5 V \tag{1}$$

Si tel n'est pas le cas pour une technologie donnée, il doit être déterminé la valeur appropriée $V_{gs,contrainte}$ par des mesures du courant du substrat.

Pour les transistors submicroniques profonds, la dégradation la plus défavorable ne peut pas apparaître à une valeur maximale du courant du substrat et il est par conséquent recommandé de vérifier les conditions de contrainte du cas le plus défavorable.

Les transistors PMOS subissent des contraintes aux conditions du courant de grille maximal. Généralement, le courant de grille maximal apparaît à environ:

$$V_{gs,contrainte} = V_t - 1,0 \text{ V} \quad (2)$$

(par exemple $V_t = -0,8 \text{ V}$ alors $V_{gs} = -1,8 \text{ V}$)

Si tel n'est pas le cas pour une technologie donnée, il doit être déterminé la valeur appropriée $V_{gs,contrainte}$ par des mesures du courant de grille.

Pour déterminer de manière précise la durée de vie, il est recommandé d'atteindre le critère de défaillance au cours de la contrainte. Ceci peut être obtenu en choisissant une valeur élevée pour V_{ds} . Une valeur raisonnable de démarrage est $V_{ds} = 0,9 \times V_{ds,claquage}$. Si ce choix n'est pas réalisable en pratique, il est recommandé de prendre au moins deux décades de données valables et d'extrapoler le critère de défaillance.

6 Taille d'échantillon

Aucune taille d'échantillon n'est prescrite. Des tailles d'échantillons trop faibles donneront lieu à des durées de vie courtes dues à l'exigence de confiance de 60 % pour l'extrapolation.

Il est recommandé d'utiliser au moins des conditions de polarisation de 3 V_{ds} et 4 rapports W/L différents.

Le nombre obtenu de points de données est par exemple de $3 (V_{ds}) \times 4 (\text{transistors}) \times 2 \text{ lots} = 24$ points de données.

7 Température

Température ambiante, maintenue constante à $\pm 3 \text{ }^\circ\text{C}$.

8 Critères de défaillance

Des critères de défaillance doivent être choisis pour un ou plusieurs des paramètres suivants: $\Delta g_{m,max}$, ΔV_t , $\Delta I_{ds,sat_direct}$, $\Delta I_{ds,sat_inverse}$, $\Delta I_{ds,lin}$. Des critères recommandés sont donnés ci-dessous:

$$|\Delta g_{m,max}/g_{m,max}| = 10\% \text{ à } V_{ds} = 0,1 \text{ V ou}$$

$$|\Delta V_t| = 0,02 \times V_{dd,max} \text{ avec une valeur minimale de } 100 \text{ mV à } V_{ds} = 0,1 \text{ V ou}$$

$$|\Delta I_{ds,sat}/I_{ds,sat}|_{direct} = 10\% \text{ ou}$$

$$|\Delta I_{ds,sat}/I_{ds,sat}|_{inverse} = 10\% \text{ ou}$$

$$|\Delta I_{ds,sat}/I_{ds,sat}|_{direct} = 10\%$$

Les transistors NMOS présentent normalement une baisse de g_m et $I_{ds,sat}$ et une augmentation de $|V_t|$.

Les transistors PMOS présentent normalement une augmentation de g_m et $I_{ds,sat}$ et de baisse en $|V_t|$.

Les durées de vie peuvent être déterminées par interpolation et extrapolation des données. Toutefois, il est recommandé de ne pas tenir compte des données lorsque le décalage de g_m , $I_{ds,sat}$ ou V_t n'a pas dépassé 20 % du critère de défaillance ou lorsqu'il faut que les données soient extrapolées sur plus d'une décade de temps pour obtenir le critère de défaillance.

9 Méthode d'estimation de la durée de vie

9.1 Modèles d'accélération en courant continu

9.1.1 Généralités

On trouvera ci-dessous deux méthodes différentes pour l'estimation de la durée de vie. La méthode 1 utilise le lien de dépendance qui existe entre la durée de vie et le courant du drain et elle ne nécessite que le transistor nominal. La méthode 2 utilise le lien de dépendance qui existe entre la durée de vie et la longueur de la grille et elle nécessite des structures d'essai avec différentes valeurs de L . La méthode 2 est utilisée lorsque le lien de dépendance entre la durée de vie et la longueur de canal est nécessaire.

9.1.2 Méthode 1: extrapolation par rapport au courant de drain

Pour les transistors NMOS, l'extrapolation est réalisée selon:

$$\tau = A \times (I_b)^{-m} \quad (3)$$

où

A est une constante dépendant du processus, et

m est l'exposant d'accélération du courant du substrat.

Pour $L < 0,5 \mu\text{m}$, une meilleure adaptation peut être obtenue avec [1]¹

$$\tau * I_{ds} = A \times (I_b / I_{ds})^{-m} \quad (4)$$

Pour les transistors PMOS, l'extrapolation est réalisée selon [2]:

$$\tau = A \times (I_g)^{-m} \quad (5)$$

Les paramètres A et m sont trouvés en traçant $\log(\tau)$ par rapport à $\log(I_b)$ ou $\log(I_g)$ (voir équation 4 et équation 6 respectivement), ou en traçant $\log(\tau * I_d)$ par rapport à $\log(I_b / I_d)$ (voir équation 5). On obtient une droite avec une pente m et une valeur $\log(A)$ d'interception.

9.1.3 Méthode 2: extrapolation par rapport à la polarisation du drain et à la longueur du canal

Pour les transistors NMOS, le modèle de Takeda [3] peut être utilisé pour la dépendance de la longueur du canal.

$$\tau = A \times \exp(B / V_{ds,contrainte}) \times (L_{eff})^C \quad (6)$$

où

A est la constante dépendant du processus;

B est la constante d'accélération de tension dépendant du processus;

C est la constante d'accélération de la longueur de canal dépendant du processus.

L_{eff} est donné par

$$L_{eff} = L(\text{MOST}) \times g_{m,max}(\text{MOST}) / g_{m,max}(L) \quad (7)$$

¹ Les chiffres entre crochets se réfèrent à la Bibliographie.

Pour les transistors PMOS, le modèle de Woltjer [4] peut être utilisé pour la dépendance par rapport à la longueur du canal.

$$\tau = A \times \exp(B / V_{ds, \text{contrainte}}) \times \exp(C \times \sqrt{L_{\text{eff}}}) \quad (8)$$

Les paramètres A , B et C sont obtenus à partir d'une adaptation simultanée de la durée de vie τ en fonction de $V_{ds, \text{contrainte}}$ et L_{eff} .

Pour les technologies CMOS submicroniques profondes, d'autres modèles d'extrapolation sont également utilisés pour la dépendance par rapport à la longueur du canal de la durée de vie pour les deux transistors NMOS en PMOS, par exemple: $\tau = A \times \exp(CxL_{\text{eff}})$ ou $\tau = A \times \exp(C/L_{\text{eff}})$

NOTE Dans ces modèles, il convient de n'utiliser à un moment donné que les données sur la durée de vie basées sur un seul critère de défaillance.

9.2 Modèle d'estimation en courant alternatif

Pour les applications en courant alternatif, la durée de vie est calculée conformément à

$$\tau_{AC} = \tau_{DC} \times t_{\text{cycle}} / (t_{\text{rise}} + t_{\text{fall}}) \quad (9)$$

où

τ_{AC} est la durée de vie de la condition de polarisation en courant alternatif,

τ_{DC} est la durée de vie de la condition de polarisation en courant continu,

t_{cycle} est le cycle de contrainte en courant alternatif,

t_{rise} est la durée d'augmentation de la contrainte en courant alternatif, et

t_{fall} est la durée de descente de la contrainte en courant alternatif.

Les essais en courant alternatif sont recommandés.

10 Exigences de durée de vie

Dans les circuits analogiques, la durée de vie exigée peut être obtenue en augmentant la valeur minimale de L_{eff} autorisée dans les conceptions analogiques.

La durée de vie du porteur chaud des circuits numériques dépasse de beaucoup la durée de vie du transistor statique en raison des effets du cycle de service et de la sensibilité limitée des circuits numériques à la dégradation du transistor [5].

11 Comptes rendus

Il doit être de consigner au minimum les éléments suivants lors de la présentation des données sur le porteur chaud:

- nombre de transistors utilisés, ainsi que leurs dimensions;
- tensions de contrainte utilisées;
- premier critère de défaillance atteint;
- valeurs des constantes A , B et C , ainsi que leur somme;
- un tracé de la durée de vie en fonction de $1/V_{ds}$ pour tous les transistors utilisés.

Bibliographie

- [1] *“Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement”*, C. Hu, et al, IEEE Transactions on Electron Devices, Vol. ED-32, No. 2, pp. 375-385, 1985
 - [2] *“Hot-carrier current modeling and device degradation in surface channel p-MOSFET’s”*, T-C. Ong, et al., IEEE Transactions on Electron Devices, p. 1658, 1990.
 - [3] *“Hot carrier effects in scaled MOS devices”*, E. Takeda, Microelectronics and Reliability, Vol.33, pp. 1687-1711, (1993)
 - [4] *“Time dependence of p-MOSFET hot carrier degradation measured and interpreted consistently over ten orders of magnitude”*, R. Woltjer, A. Hamada, E. Takeda, IEEE Transactions on Electron Devices, Vol.40, pp. 392-401, (1993)
 - [5] *“Relation between the hot carrier lifetime of transistors and CMOS SRAM products”*, J.A. van der Pol, J.J. Koomen, 28th Proceedings IRPS, pp. 178-185, (1990)
-

LICENSED TO MECON LIMITED - RANCHI/BANGALORE.
FOR INTERNAL USE AT THIS LOCATION ONLY, SUPPLIED BY BOOK SUPPLY BUREAU.

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

3, rue de Varembé
PO Box 131
CH-1211 Geneva 20
Switzerland

Tel: + 41 22 919 02 11
Fax: + 41 22 919 03 00
info@iec.ch
www.iec.ch